

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-185481

(43)Date of publication of application : 09.07.1999

(51)Int.Cl.

G11C 14/00

G11C 11/22

G11C 11/401

G11C 16/06

(21)Application number : 09-351226

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 19.12.1997

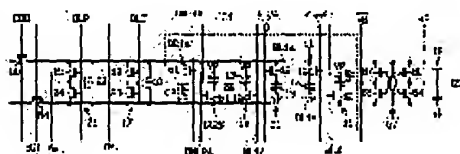
(72)Inventor : ISHIZUKA YOSHIYUKI

## (54) SEMICONDUCTOR STORAGE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor storage which prevents the deterioration of the sense sensitivity at an initial potential difference between a pair of bit lines.

SOLUTION: A memory array 51 has word lines and two dummy word lines DW1A, DW2A with memory cells 11 connected between the bit lines and each word line. Reference cells DC1A, DC2A composed of charge transfer transistors 61 and ferroelectric capacitors 62 are connected between the bit lines and dummy word lines. A connecting transistor 54 is provided between the bit lines BL1A and turn on to connect both bit lines, based on an H-level connection signal EQT. A connecting transistor 55 is provided between the bit lines bar BL1A for connecting both bit lines, based on an H-level connection signal EQB. A sense amplifier 57 amplifies data on the bit line BL1A and bar BL1A, based on activating signal &phiv;R and bar &phiv;S.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-185481

(43) 公開日 平成11年(1999) 7月9日

(51) Int.Cl.<sup>5</sup>

識別記号

F I

G 1 1 C 14/00

G 1 1 C 11/34

3 5 2 A

11/22

11/22

11/401

11/34

3 6 2 B

16/06

17/00

6 3 4 C

審査請求 未請求 請求項の数10 O L (全 19 頁)

(21) 出願番号

特願平9-351226

(22) 出願日

平成9年(1997)12月19日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 石塚 良行

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

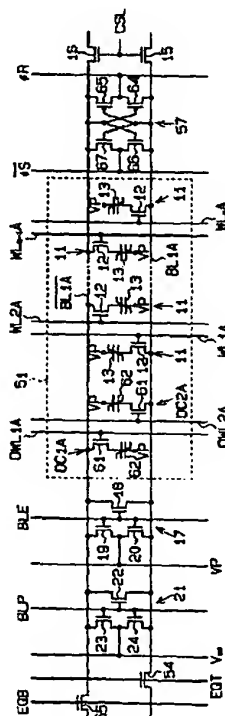
(74) 代理人 弁理士 恩田 博宣

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】ビット線対の初期電位差におけるセンス感度の悪化を防ぐことができる半導体記憶装置を提供する。

【解決手段】メモリセルアレイ51は複数のワード線と2つのダミーワード線DW1A, DW2Aを備える。ビット線と各ワード線との間にはメモリセル11が接続されている。ビット線とダミーワード線との間には電荷転送用トランジスタ61と強誘電体キャパシタ62とからなるリファレンスセルDC1A, DC2Aが接続されている。ビット線BL1A間には接続用トランジスタ54が設けられ、トランジスタ54はHレベルの接続信号EQTに基づいてオンして両ビット線を接続する。ビット線バーBL1A間には接続用トランジスタ55が設けられ、トランジスタ55はHレベルの接続信号EQBに基づいて両ビット線を接続する。センスアンプ57は活性化信号φR, バーφSに基づいてビット線BL1A, バーBL1Aのデータを増幅する。



## 【特許請求の範囲】

【請求項1】 ビット線対の一方のビット線にメモリセルのデータによって電位変化を生じさせるとともに、他方のビット線にリファレンスセルのデータによってリファレンス電位を生じさせるようにした半導体記憶装置において、

前記ビット線対を2個で1組として、1組のビット線対の2個のリファレンスセルが、少なくとも1つ以上の接続用トランジスタを介して接続されている半導体記憶装置。

【請求項2】 ビット線対の一方のビット線にメモリセルのデータによって電位変化を生じさせるとともに、他方のビット線にリファレンスセルのデータによってリファレンス電位を生じさせるようにした半導体記憶装置において、

前記リファレンスセルは電荷転送用トランジスタを介して、リファレンス電位レベルを生じるビット線に直接に、もしくは、一つ以上のトランジスタを介して接続されており、

前記ビット線対を2個で1組として、1組のビット線対の2個のリファレンスセルが、少なくとも1つ以上の接続用トランジスタを介して接続されている半導体記憶装置。

【請求項3】 ビット線対の一方のビット線にメモリセルのデータによって電位変化を生じさせるとともに、他方のビット線にリファレンスセルのデータによってリファレンス電位を生じさせ、ビット線対の電位変化を増幅するセンスアンプ系を有する半導体記憶装置において、前記メモリセルは、キャパシタの一方の電極とビット線との間に電荷転送用トランジスタが接続されており、前記メモリセルのデータによって電位変化が生じる一方のビット線と対をなす他方のビット線にリファレンス電位レベルを発生するリファレンスセルは、前記メモリセルのキャパシタとほぼ同じ容量を持つリファレンス用キャパシタを有し、このリファレンス用キャパシタの一端は、電荷転送用トランジスタを介して、リファレンス電位レベルを生じるビット線に直接に、もしくは、一つ以上のトランジスタを介して接続されており、

前記ビット線対を2個で1組として、1組のビット線対の2個のリファレンスセルが、少なくとも1つ以上の接続用トランジスタを介して接続されている半導体記憶装置。

【請求項4】 前記2個のリファレンス用キャパシタは、前記1つ以上の接続用トランジスタを介して接続することによって、

前記1組のビット線対の内の各一方のビット線には、同じ電位レベルを発生させ、前記1組のビット線対のうちの各他方のビット線には、それぞれのビット線に接続されているメモリセルのデータに応じた電位レベルが発生するように構成されている請求項3に記載の半導体記憶

装置。

【請求項5】 ビット線対の電位変化の増幅後において、前記2個のリファレンス用キャパシタはそれぞれ異なる分極に設定される請求項3または4に記載の半導体記憶装置。

【請求項6】 前記2個のリファレンス用キャパシタに設定される異なる分極は、交互の、もしくは、複数回ごとの入れ替えが行われる請求項5に記載の半導体記憶装置。

10 【請求項7】 前記複数組のビット線対のリファレンスセル同士が、接続用トランジスタを介して接続されている請求項3または4に記載の半導体記憶装置。

【請求項8】 前記メモリセルと前記リファレンスセルの役割が交換可能である請求項3～7のいずれか一項に記載の半導体記憶装置。

【請求項9】 前記メモリセルと前記リファレンスセルとの役割交換を行う手段は、メモリセルが接続されたワード線とリファレンスセルが接続されたダミーワード線とを切り換えるスイッチ回路である請求項8に記載の半導体記憶装置。

20 【請求項10】 前記スイッチ回路は、ワード線が所定回数アクセスされたときワード線とダミーワード線との切り換えを行う請求項9に記載の半導体記憶装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体記憶装置に係わり、例えば磁気ディスクの代替としての半導体ディスクや画像処理用の画像データのバッファメモリとして使用される半導体記憶装置に関する。

30 【0002】

【従来の技術】従来の半導体記憶装置としてのDRAMを構成する多数のメモリセルは、1つの電荷保持用のキャパシタと1つの電荷転送用トランジスタとからなる。そのため、メモリセルの構造が単純であり、セル面積が小さいという特徴がある。ところが、電荷転送用トランジスタのサブスレッシュホールドリーク等、様々な要因によるリークによってキャパシタに保持されているセル電荷が失われてしまうという欠点がある。そのため、DRAMでは、一定期間内にリフレッシュ動作を行って、セルデータを維持しなければならない。また、DRAMは、電源をオフすれば記憶内容が失われてしまう、いわゆる揮発性の半導体記憶装置である。

【0003】そこで、従来、DRAMの高密度性を活かしながら、リフレッシュ動作が必ずしも必要でなく、また、電源オフ時の揮発性から解放され、しかも、高速に読み書きできるRAMの研究がなされてきた。特に、最近、不揮発性であり、かつ、データの書き換えが容易なメモリセルとして強誘電体セルが注目を浴びている。この強誘電体セルは、強誘電体PZTやSbT(SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub>)の自発分極特性を利用してデータを保持するものであ

る。

【0004】この強誘電体セルを用いた半導体記憶装置としては、現在、2T2C（2トランジスタ・2キャパシタ）構造のメモリセルが実用化されており、また面積縮小化を図るために、DRAMに類似した構造の1T1C（1トランジスタ・1キャパシタ）構造のメモリセルも研究されている。

【0005】しかしながら、1T1C構造の強誘電体セルを用いた半導体記憶装置の場合には、該メモリセルから読み出されたデータによって電位変化が生じる一方のビット線と対をなす他方のビット線に対してリファレンス電位を与えるためのリファレンスセルが必要である。このリファレンスセルとして、メモリセルに使用される強誘電体キャパシタと同一容量を持つ通常のキャパシタを有するセルが用いられ、メモリセルに使用される強誘電体キャパシタの半分の容量を持つ強誘電体キャパシタを有するセルが用いられる。

【0006】ところが、前者の方法では、通常のメモリセルのキャパシタ容量を強誘電体セルのキャパシタ容量と同一にすることは非常に困難であり、プロセスごとに容量ばらつきが生じてしまう。また、後者の方法においても、強誘電体キャパシタの面積を半分にするか強誘電体キャパシタの両端子間隔を倍にするかすれば、ほぼ半分の容量を持つ強誘電体キャパシタを形成することは可能であるが、正確に半分の容量を持つ強誘電体キャパシタを形成することはむずかしい。

【0007】従来、これらの問題点を解決するために、リファレンスセルをメモリセルの強誘電体キャパシタ容量と同容量を持つ強誘電体キャパシタを備えて構成し、リファレンスセルの強誘電体キャパシタ2個に互いに逆方向の自発分極特性を与えて、リファレンス電位を得る半導体記憶装置が特開平2-110893号公報や、IEE J. Solid-State Circuits, Vol.31, No.11, 1996, p1625-1634等において発表されている。

【0008】図16にその回路構成を示す。メモリセルアレイ10は複数対のビット線対（図16ではビット線対BL1、バーBL1、BL2、バーBL2のみを図示）を備えるとともに、複数のワード線WL1、WL2、・・・、WL<sub>n-1</sub>、WL<sub>n</sub>を備えている。各ビット線と各ワード線との間にはメモリセル11が接続されている。メモリセル11は、電荷転送用トランジスタ12と強誘電体キャパシタ13とからなり、強誘電体キャパシタ13の一方の電極は電荷転送用トランジスタ12に接続され、他方の電極はセルプレートに接続されて基準電圧VPが印加されている。基準電圧VPは高電位電源Vccと低電位電源Vss（＝0V）との中間の値Vcc/2に設定されている。強誘電体キャパシタ13はほぼVcc/2の電圧で極性が反転されるようになっている。

【0009】複数対のビット線対BL1、バーBL1、BL2、バーBL2にはそれぞれセンスアンプ14が接

続されている。データの読み出し時において、各センスアンプ14はワード線WL1、WL2・・・、WL<sub>n</sub>のいずれかによって選択されたメモリセル11のデータを増幅する。

【0010】各ビット線対BL1、バーBL1、BL2、バーBL2は一对のゲートトランジスタ15、16を介して図示しない入出力線対に接続されている。各対のゲートトランジスタ15、16はゲートにHレベルのコラム選択信号CSL1、CSL2等が印加されるとオンし、それにより対応するセンスアンプ14によって増幅されたデータが入出力線対に転送される。

【0011】各ビット線対BL1、バーBL1間、BL2、バーBL2間にはnMOSトランジスタ18～20からなるイコライザ17が設けられている。トランジスタ18～20はゲートにHレベルのイコライズ信号BLEが印加されるとオンし、各ビット線対BL1、バーBL1、BL2、バーBL2の電位を基準電圧VP（＝Vcc/2）にする。また、各ビット線対BL1、バーBL1間、BL2、バーBL2間にはnMOSトランジスタ22～24からなるプリチャージ用のイコライザ21が設けられている。nMOSトランジスタ22～24はそれらのゲートにHレベルのプリチャージ信号BLPが印加されるとオンし、各ビット線対BL1、バーBL1、BL2、バーBL2を低電位電源Vssにプリチャージする。

【0012】ビット線BL1、バーBL1はそれぞれnMOSトランジスタよりなる接続用トランジスタ26、27を介してダミービット線DB1に接続されている。ビット線BL2、バーBL2はそれぞれnMOSトランジスタよりなる接続用トランジスタ28、29を介してダミービット線DB2に接続されている。接続用トランジスタ26、28はそれらのゲートにHレベルの接続信号DTGTが印加されるとオンし、ビット線BL1、BL2をダミービット線DB1、DB2に接続する。接続用トランジスタ27、29はそれらのゲートにHレベルの接続信号DTGBが印加されるとオンし、ビット線バーBL1、バーBL2をダミービット線DB1、DB2に接続する。

【0013】ダミービット線DB1はnMOSトランジスタ31を介して低電位電源Vssに接続され、ダミービット線DB2はnMOSトランジスタ32を介して高電位電源Vccに接続されている。nMOSトランジスタ31、32はゲートにHレベルの信号PDCが入力されるとオンし、ダミービット線DB1、DB2をそれぞれ低電位電源Vss及び高電位電源Vccにする。

【0014】また、ダミービット線DB1、DB2とダミーワード線DWLとの間には、リファレンスセルDC1、DC2がそれぞれ接続されている。リファレンスセルDC1、DC2は、電荷転送用トランジスタ34と強誘電体キャパシタ35とからなる。強誘電体キャパシタ

## 5

35は前記メモリセル11の強誘電体キャパシタ13と同一の構造であり、ほぼ同一の面積と容量を持つ。強誘電体キャパシタ35の一方の電極は電荷転送用トランジスタ34に接続され、他方の電極には基準電圧VP (=Vcc/2) が印加されており、強誘電体キャパシタ35もほぼVcc/2の電圧で極性が反転される。

【0015】さらに、ダミービット線DB1、DB2間には、nMOSトランジスタ37、38からなるプリチャージ用のイコライザ36が設けられている。nMOSトランジスタ37、38はそれらのゲートにHレベルのプリチャージ信号PDLが印加されるとオンし、ダミービット線DB1、DB2を低電位電源Vssにプリチャージする。また、ダミービット線DB1、DB2間に接続されたnMOSトランジスタ40は、そのゲートにHレベルのイコライズ信号EDLが印加されるとオンし、ダミービット線DB1、DB2を等電位にする。

【0016】上記のように構成された半導体記憶装置において、データの読み出しに際して、最初は、ビット線BL1、バーBL1、BL2、バーBL2はイコライズ信号BLEをHレベルにすることによって基準電圧VP (=Vcc/2) にイコライズされる。また、メモリセル11及びリファレンスセルDC1、DC2の強誘電体キャパシタのキャパシタ・ノードのフローティング状態を避けるために、電荷転送用トランジスタ12、34が弱くオンされる。

【0017】次に、接続信号DTGBをHレベルにして接続用トランジスタ27、29をオンすることによってビット線バーBL1、バーBL2をそれぞれダミービット線DB1、DB2に接続する。その後、イコライズ信号BLEをLレベルにしてビット線BL1とバーBL1、ビット線BL2とバーBL2とを切り離すとともに、弱くオンされていた電荷転送用トランジスタ12、34を完全にオフするように、ダミーワード線DWL及びすべてのワード線WL1~WLnをLレベルにする。

【0018】次に、プリチャージ信号BLPをHレベルにすることによりイコライザ21を動作させてすべてのビット線BL1、バーBL1、BL2、バーBL2の電位をLレベル(Vss)にする。このとき、接続信号EDLをHレベルにしてダミービット線DB1、DB2を接続するとともに、プリチャージ信号PDLをHレベルにしてダミービット線DB1、DB2の電位をLレベル(Vss)にする。その後、プリチャージ信号BLPをLレベルにしてビット線BL1とバーBL1、ビット線BL2とバーBL2とを切り離すとともに、プリチャージ信号PDLをLレベルにしてダミービット線DB1、DB2のプリチャージを終了する。

【0019】そして、データを読み出したいメモリセル11に対応するワード線WLk (k=1, 2, ... n) をHレベルにしてメモリセルデータをビット線BL1、BL2に転送するとともに、ダミーワード線DWL

## 6

をHレベルにしてリファレンスセルDC1、DC2から電荷をダミービット線DB1、DB2を介してビット線バーBL1、バーBL2に転送する。

【0020】メモリセル11から転送された電荷によるビット線BL1、BL2の電位や、リファレンスセルDC1、DC2から転送されたビット線バーBL1、バーBL2の電位は、あらかじめ強誘電体キャパシタ13、35が持っていた自発分極によって異なる。例えば、強誘電体キャパシタ13、35のセルプレート側の電極がHレベル、ビット線側の電極がLレベルの状態に分極していたとすると、上述の読み出しによっても分極方向は変わらず、ビット線BL1、BL2、バーBL1、バーBL2は低電位電源Vssに近い電位VLになる。逆に、強誘電体キャパシタ13、35のセルプレート側の電極がLレベル、ビット線側の電極がHレベルの状態に分極していたとすると、上述の読み出しによって分極方向は反転し、ビット線BL1、BL2、バーBL1、バーBL2は電位VLよりも高い電位VHになる。

【0021】従って、ビット線BL1、BL2の電荷転送後の初期電位は電位VHもしくはVLのどちらかのレベルになる。しかし、リファレンスセルDC1、DC2の強誘電体キャパシタ35はあらかじめ互いに逆方向に分極させてあり、さらに、ビット線バーBL1、バーBL2は接続用トランジスタ27、29及びダミービット線DB1、DB2を介して接続されているため、ビット線バーBL1、バーBL2は共に電位VHと電位VLとの中間電位VR (= (VH + VL) / 2) となる。

【0022】その後、接続信号DTGBをLレベルにして接続用トランジスタ27、29をオフさせてビット線バーBL1、バーBL2を切り離してから、センスアンプ14を動作させて初期電位差ΔV (=VH - VR = VR - VL) を増幅する。ビット線BL1、BL2の初期電位がVHの場合は、ビット線BL1、BL2の電位は高電位電源Vccになり、初期電位がVLの場合はビット線BL1、BL2の電位は低電位電源Vssになる。

【0023】このようにして、ビット線BL1、バーBL1、BL2、バーBL2に十分に電位が現れた後、コラム選択信号CSL1、CSL2等の少なくともいずれか1つをHレベルとしてゲートトランジスタ15、16をオンさせ、図示しない入出力線対にデータを転送する。

【0024】さらに、信号PDCをHレベルにしてnMOSトランジスタ31、32をオンさせてダミービット線DB1、DB2をそれぞれ低電位電源Vss及び高電位電源Vccに接続するとともに、ダミーワード線DWLをHレベルにしてリファレンスセルDC1、DC2の電荷転送用トランジスタ34をオンさせる。こうすれば、リファレンスセルDC1、DC2の各強誘電体キャパシタ35は互いに逆方向に分極され、次のデータの読み出しに備えることができる。

【0025】

【発明が解決しようとする課題】ところが、上記従来の半導体記憶装置においては、リファレンスセルDC1、DC2の強誘電体キャパシタ35の自発分極によってビット線にリファレンス電位を発生させる際、該ビット線にダミービット線DB1、DB2が接続されるため、ビット線対の容量のバランスが悪くなる。その結果、メモリセルのデータを確実に読み出すことができなくなることもある。

【0026】また、同一サイズの強誘電体キャパシタにおいても特性ばらつきが生じて、所望のリファレンス電位を得にくい。また、リファレンスセルDC1、DC2の強誘電体キャパシタ35は常に同一方向に分極されるため、経時変化による強誘電体特性の劣化による問題もあった。

【0027】本発明は、上記問題点を解決するためになされたものであって、その目的は、ビット線容量のバランスを保って所望のリファレンス電位を得ることができ、データの読み出しを正確に行うことができる半導体記憶装置を提供することにある。

【0028】本発明の別の目的は、リファレンスセルにおける特性ばらつきを平準化することができる半導体記憶装置を提供することにある。本発明のさらなる別の目的は、リファレンスセルの経時変化による劣化に対して記憶装置全体で劣化しにくい半導体記憶装置を提供することにある。

【0029】

【課題を解決するための手段】上記目的を達成するため、請求項1に記載の発明は、ビット線対の一方のビット線にメモリセルのデータによって電位変化を生じさせるとともに、他方のビット線にリファレンスセルのデータによってリファレンス電位を生じさせるようにした半導体記憶装置において、ビット線対を2個で1組として、1組のビット線対の2個のリファレンスセルが、少なくとも1つ以上の接続用トランジスタを介して接続されていることをその要旨とする。

【0030】請求項2に記載の発明は、ビット線対の一方のビット線にメモリセルのデータによって電位変化を生じさせるとともに、他方のビット線にリファレンスセルのデータによってリファレンス電位を生じさせるようにした半導体記憶装置において、リファレンスセルは電荷転送用トランジスタを介して、リファレンス電位レベルを生じるビット線に直接に、もしくは、一つ以上のトランジスタを介して接続されており、ビット線対を2個で1組として、1組のビット線対の2個のリファレンスセルが、少なくとも1つ以上の接続用トランジスタを介して接続されていることをその要旨とする。

【0031】請求項3に記載の発明は、ビット線対の一方のビット線にメモリセルのデータによって電位変化を生じさせるとともに、他方のビット線にリファレンスセ

ルのデータによってリファレンス電位を生じさせ、ビット線対の電位変化を増幅するセンスアンプ系を有する半導体記憶装置において、メモリセルは、キャパシタの一方の電極とビット線との間に電荷転送用トランジスタが接続されており、メモリセルのデータによって電位変化が生じる一方のビット線と対をなす他方のビット線にリファレンス電位レベルを発生するリファレンスセルは、メモリセルのキャパシタとほぼ同じ容量を持つリファレンス用キャパシタを有し、このリファレンス用キャパシタの一端は、電荷転送用トランジスタを介して、リファレンス電位レベルを生じるビット線に直接に、もしくは、一つ以上のトランジスタを介して接続されており、ビット線対を2個で1組として、1組のビット線対の2個のリファレンスセルが、少なくとも1つ以上の接続用トランジスタを介して接続されていることをその要旨とする。

【0032】請求項4に記載の発明は、2個のリファレンス用キャパシタは、1つ以上の接続用トランジスタを介して接続することによって、1組のビット線対の内の各一方のビット線には、同じ電位レベルを発生させ、1組のビット線対のうちの各他方のビット線には、それぞれのビット線に接続されているメモリセルのデータに応じた電位レベルが発生するように構成されていることをその要旨とする。

【0033】請求項5に記載の発明は、ビット線対の電位変化の増幅後において、2個のリファレンス用キャパシタはそれぞれ異なる分極に設定されることをその要旨とする。

【0034】請求項6に記載の発明は、2個のリファレンス用キャパシタに設定される異なる分極は、交互の、もしくは、複数回ごとの入れ替えが行われることをその要旨とする。

【0035】請求項7に記載の発明は、複数組のビット線対のリファレンスセル同士が、接続用トランジスタを介して接続されていることをその要旨とする。請求項8に記載の発明は、メモリセルとリファレンスセルの役割が交換可能であることをその要旨とする。

【0036】請求項9に記載の発明は、メモリセルとリファレンスセルとの役割交換を行う手段は、メモリセルが接続されたワード線とリファレンスセルが接続されたダミーワード線とを切り換えるスイッチ回路であることをその要旨とする。

【0037】請求項10に記載の発明は、スイッチ回路は、ワード線が所定回数アクセスされたときワード線とダミーワード線との切り換えを行うことをその要旨とする。

【0038】

【発明の実施の形態】（第1実施形態）以下、本発明を具体化した第1実施形態を図1～図4に従って説明する。

【0039】図1は本実施形態の半導体記憶装置50のブロック構成を示す。半導体記憶装置50は2つのメモリセルアレイ51、52を備えている。メモリセルアレイ51、52は複数対のビット線対を備えている。図1において、メモリセルアレイ51には一対のビット線対BL1A、バーBL1Aのみが図示され、メモリセルアレイ52にも一対のビット線対BL1B、バーBL1Bのみが図示されている。ビット線BL1A、BL1B、バーBL1A、バーBL1Bは等しい配線長に形成されており、各ビット線の配線容量は等しい。

【0040】各ビット線対BL1A、バーBL1A間、BL1B、バーBL1B間にはnMOSトランジスタ18~20からなるイコライザ17が設けられている。トランジスタ18~20はゲートにHレベルのイコライズ信号BLEが印加されるとオンし、各ビット線対BL1A、バーBL1A、BL1B、バーBL1Bの電位を基準電圧VP(=Vcc/2)にする。また、各ビット線対BL1A、バーBL1A間、BL1B、バーBL1B間にはnMOSトランジスタ22~24からなるプリチャージ用のイコライザ21が設けられている。nMOSトランジスタ22~24はそれらのゲートにHレベルのプリチャージ信号BLPが印加されるとオンし、各ビット線対BL1A、バーBL1A、BL1B、バーBL1Bを低電位電源Vssにプリチャージする。

【0041】ビット線BL1A、BL1Bの端部間には接続用トランジスタ54が設けられ、ビット線バーBL1A、バーBL1Bの端部間にも接続用トランジスタ55が設けられている。接続用トランジスタ54はそのゲートにHレベルの接続信号EQTが印加されるとオンし、ビット線BL1A、BL1Bを接続する。接続用トランジスタ55はそのゲートにHレベルの接続信号EQBが印加されるとオンし、ビット線バーBL1A、バーBL1Bを接続する。

【0042】ビット線対BL1A、バーBL1A、BL1B、バーBL1Bにはそれぞれセンスアンプ57が接続されている。データの読み出し時において、各センスアンプ57はビット線対BL1A、バーBL1A、BL1B、バーBL1Bに読み出されたデータを増幅する。

【0043】各ビット線対BL1A、バーBL1A、BL1B、バーBL1Bは一対のゲートトランジスタ15、16を介して図示しない入出力線対に接続されている。各対のゲートトランジスタ15、16はゲートにHレベルのコラム選択信号CSLが印加されるとオンし、センスアンプ57によって増幅されたデータが入出力線対に転送される。

【0044】次に、半導体記憶装置50のメモリセルアレイ51側の構成を図2に基づいて説明する。図2に示すように、メモリセルアレイ51は複数のワード線WL1A、WL2A、・・・、WLnAを備えるとともに、2つのダミーワード線DWL1A、DWL2Aを備えて

いる。ビット線BL1A、バーBL1Aと各ワード線との間には電荷転送用トランジスタ12と強誘電体キャパシタ13とからなるメモリセル11が接続されている。

【0045】ビット線バーBL1Aとダミーワード線DWL1Aとの間にはリファレンスセルDC1Aが接続され、ビット線BL1Aとダミーワード線DWL2Aとの間にはリファレンスセルDC2Aが接続されている。リファレンスセルDC1A、DC2Aは、電荷転送用トランジスタ61と強誘電体キャパシタ62とからなる。強誘電体キャパシタ62は前記メモリセル11の強誘電体キャパシタ13と同一の構造であり、ほぼ同一の面積と容量とを持つ。強誘電体キャパシタ62の一方の電極は電荷転送用トランジスタ61に接続され、他方の電極にはセルプレートに接続されて基準電圧VP(=Vcc/2)が印加されており、強誘電体キャパシタ62もほぼVcc/2の電圧で自発分極の極性が反転される。

【0046】センスアンプ57はpMOSトランジスタ64及びnMOSトランジスタ66からなるCMOSインバータと、pMOSトランジスタ65及びnMOSトランジスタ67からなるCMOSインバータとで構成されたラッチ回路である。pMOSトランジスタ64及びnMOSトランジスタ66のゲートはビット線バーBL1Aに接続され、pMOSトランジスタ65及びnMOSトランジスタ67のゲートはビット線BL1Aに接続されている。センスアンプ57はHレベルの活性化信号φRとLレベルの活性化信号バーφSとに基づいてビット線BL1A、バーBL1Aのデータを増幅する。

【0047】図3は半導体記憶装置50のメモリセルアレイ52側の構成を示し、これはメモリセルアレイ51側の構成と同様である。図3において、ワード線、ダミーワード線及びリファレンスセルは図2におけるワード線、ダミーワード線及びリファレンスセルの符号の末尾を「B」として示している。

【0048】次に上記のように構成された半導体記憶装置50の作用を主に図4に従って説明する。なお、説明の便宜上、メモリセルアレイ51、52におけるビット線BL1A、BL1Bに接続されたメモリセル11のデータを読み出す場合について説明する。なお、リファレンスセルDC1A、DC1Bの両強誘電体キャパシタ62は、あらかじめ互いに逆方向に分極しており、リファレンスセルDC2A、DC2Bの両強誘電体キャパシタ62も、あらかじめ互いに逆方向に分極しているものとする。

【0049】最初は、イコライズ信号BLEをHレベルにすることによりイコライズ17を動作させてビット線BL1A、バーBL1A、BL1B、バーBL1Bを基準電圧VP(=Vcc/2)にイコライズする。また、メモリセル11及びリファレンスセルDC1A、DC2Aの強誘電体キャパシタのキャパシタ・ノードのフローティング状態を避けるために、電荷転送用トランジスタ1



2, 61が弱くオンされている。

【0050】次に、接続信号EQBをHレベルにして接続用トランジスタ55をオンすることによってビット線バーBL1A、バーBL1Bを接続する。その後、イコライズ信号BLEをLレベルにしてビット線BL1AとバーBL1A、ビット線BL1BとバーBL1Bとを切り離すとともに、弱くオンされていた電荷転送用トランジスタ12, 61を完全にオフするように、ダミーワード線DWL1A, DWL1B及びすべてのワード線をLレベルにする。

【0051】次に、プリチャージ信号BLPをHレベルにすることによりイコライザ21を動作させてすべてのビット線BL1A、バーBL1A、BL1B、バーBL1Bの電位をLレベル ( $V_{ss}$ ) にした後、プリチャージ信号BLPをLレベルにしてビット線BL1AとバーBL1A、ビット線BL1BとバーBL1Bとを切り離す。

【0052】そして、データを読み出したいメモリセル11に対応するワード線WLkA, WLkB ( $k=1, 2, \dots, n$ ) をHレベルにしてメモリセルデータをビット線BL1A, BL1Bに転送するとともに、ダミーワード線DWL1A, DWL1BをHレベルにすることにより電荷転送用トランジスタ61をオンさせてリファレンスセルDC1A, DC1Bから電荷をビット線バーBL1A、バーBL1Bに転送する。

【0053】メモリセル11から転送された電荷によるビット線BL1A, BL1Bの電位や、リファレンスセルDC1A, DC1Bから転送されたビット線バーBL1A、バーBL1Bの電位は、あらかじめ強誘電体キャパシタ13, 62が持っていた自発分極によって異なる。例えば、強誘電体キャパシタ13, 62のセルプレート側の電極がHレベル、ビット線側の電極がLレベルの状態に分極していたとすると、上述の読み出しによっても分極方向は変わらず、ビット線BL1A, BL1B、バーBL1A、バーBL1Bは低電位電源 $V_{ss}$ に近い電位 $V_L$ になる。逆に、強誘電体キャパシタ13, 62のセルプレート側の電極がLレベル、ビット線側の電極がHレベルの状態に分極していたとすると、上述の読み出しによって分極方向は反転し、ビット線BL1A, BL1B、バーBL1A、バーBL1Bは電位 $V_L$ よりも高い電位 $V_H$ になる。

【0054】従って、ビット線BL1A, BL1Bの電荷転送後の初期電位は電位 $V_H$ もしくは $V_L$ のどちらかのレベルになる。しかし、リファレンスセルDC1A, DC1Bの強誘電体キャパシタ62はあらかじめ互いに逆方向に分極させてあり、さらに、ビット線バーBL1A、バーBL1Bは接続用トランジスタ55を介して接続されているため、ビット線バーBL1A、バーBL1Bは共に電位 $V_H$ と電位 $V_L$ との中間電位 $V_R (= (V_H + V_L) / 2)$ となる。その後、接続信号EQBをL

レベルにして接続用トランジスタ55をオフさせてビット線バーBL1A、バーBL1Bを切り離してから、活性化信号 $\phi_R$ 、バー $\phi_S$ をそれぞれHレベル、Lレベルにすることによりセンスアンプ57を動作させて初期電位差 $\Delta V (= V_H - V_R = V_R - V_L)$ を増幅する。ビット線BL1A, BL1Bの初期電位が $V_H$ の場合は、ビット線BL1A, BL1Bの電位は高電位電源 $V_{cc}$ になり、初期電位が $V_L$ の場合はビット線BL1A, BL1Bの電位は低電位電源 $V_{ss}$ になる。

10 【0055】このようにして、ビット線BL1A、バーBL1A、BL1B、バーBL1Bに十分に電位が現れた後、コラム選択信号CSLをHレベルとしてゲートトランジスタ15, 16をオンさせ、図示しない入出力線対にデータを転送する。

【0056】さらに、ワード線WLkA, WLkBをLレベルにしてから、例えば入出力線対を用いて、ビット線バーBL1A、バーBL1Bの電位が逆電位になるように高電位電源 $V_{cc}$ と低電位電源 $V_{ss}$ とを入れ替える。こうすれば、リファレンスセルDC1A, DC1Bは必ず互いに逆方向に分極されることになる。なお、このビット線バーBL1A、バーBL1Bのようにリファレンス電位としてビット線が使用された回数を、カウントする回路（奇数回か偶数回かでよい）を備えておけば、リファレンスセルDC1A, DC1Bの分極方向は毎回反転できるため、リファレンスセルDC1A, DC1Bの強誘電体キャパシタ62の劣化を遅らせることが可能になる。

【0057】リファレンスセルDC1A, DC1Bに逆データを転送した後、ダミーワード線DWL1A, DWL1BをLレベルにし、活性化信号 $\phi_R$ 、バー $\phi_S$ を元に戻してから、イコライズ信号BLEをHレベルにして全ビット線を $V_{cc}/2$ にイコライズする。

【0058】さらに、メモリセル11及びリファレンスセルDC1A, DC2Aの強誘電体キャパシタのキャパシタ・ノードのフローティング状態を避けるため、ダミーワード線DWL1A, DWL2Aを含むすべてのワード線を電荷転送トランジスタ12, 61が弱くオンする程度の電位にする。なお、一般的なDRAMのように、一定時間内にワード線WL1A~WLnA, WL1B~WLnBを立ち上げるリフレッシュ動作を行えば、常に電荷転送用トランジスタ12をオンさせなくても、キャパシタ・ノードのリークに基づくデータの消失を防ぐことができる。

【0059】このように本実施形態の半導体記憶装置は構成されているので、以下の効果がある。

・本実施形態の半導体記憶装置50においては、メモリセルアレイ51のビット線対BL1A、バーBL1A及びメモリセルアレイ52のビット線対BL1B、バーBL1Bの配線長を等しく形成しており、ビット線対BL1A、バーBL1A、BL1B、バーBL1Bに対して

リファレンスセルDC1, DC2をその電荷転送用トランジスタ61を介して直接接続している。そして、ビット線に対してリファレンス電位を発生させる際、2つのメモリアルレイ51, 52の対応する2つのビット線BL1AとBL1B、バーBL1AとバーBL1Bとを接続用トランジスタ54, 55にて互いに接続し、接続された2つのビット線にダミーセルDC1A, DC1B, DC2A, DC2Bから電荷を転送してリファレンス電位を得るようにしている。そのため、ビット線対BL1A, バーBL1A、及びBL1B, バーBL1Bの配線容量のバランスを保って所望のリファレンス電位を得ることができる。その結果、ビット線対の初期電位差に基づくセンスアンプ57の感度の悪化を抑制でき、メモリアル51, 52のデータを正確に読み出すことができる。

【0060】(第2実施形態)次に、本発明の第2実施形態を図5～図8に従って説明する。なお、重複説明を避けるため、図1～3において説明したものと同一要素については、同じ参照番号が付されている。また、前述した第1実施形態の半導体記憶装置50との相違点を中心に説明する。

【0061】図5は本実施形態の半導体記憶装置70のブロック構成を示す。半導体記憶装置70は2つのメモリアルレイ71, 72を備えている。図6はメモリアルレイ71側の構成を示し、メモリアルレイ71は複数対のビット線対を備えている。図6において、メモリアルレイ71には一対のビット線対BL1A, バーBL1Aのみが図示されている。ビット線BL1A, バーBL1Aと各ワード線との間には電荷転送用トランジスタ12と強誘電体キャパシタ13とからなるメモリアル11が接続されている。

【0062】ビット線対BL1A, バーBL1Aには接続用トランジスタ74, 75を介してノードDLA, バーDLAが接続されている。ノードDLA, バーDLAは等しい配線長に形成されており、各ノードの配線容量は等しい。接続用トランジスタ74, 75はHレベルの接続信号BLCが印加されるとオンし、ビット線BL1AとノードDLA、及びビット線バーBL1AとノードバーDLAをそれぞれ接続する。逆に、接続用トランジスタ74, 75はLレベルの接続信号BLCが印加されるとオフし、ビット線BL1AとノードDLA、及びビット線バーBL1AとノードバーDLAをそれぞれ切り離す。

【0063】ノードバーDLAとダミーワード線DWL1Aとの間にはリファレンスセルDC1Aが接続され、ノードDLAとダミーワード線DWL2Aとの間にはリファレンスセルDC2Aが接続されている。

【0064】また、ノードDLA, バーDLA間には前記イコライザ17が設けられており、Hレベルのイコライズ信号BLEが印加されるとイコライズ17は動作

し、各ノードDLA, バーDLAの電位を基準電圧VP(=Vcc/2)にする。

【0065】また、ノードDLA, バーDLAと高電位電源Vccとの間にはそれぞれ電位設定用のpMOSトランジスタ77, 78が接続されている。pMOSトランジスタ77はそのゲートにLレベルの制御信号BLR2が印加されるとオンし、ノードDLAの電位を高電位電源Vccに設定する。pMOSトランジスタ78はそのゲートにLレベルの制御信号BLR1が印加されるとオンし、ノードバーDLAの電位を高電位電源Vccに設定する。

【0066】さらに、ノードDLA, バーDLAと低電位電源Vssとの間にはそれぞれ電位設定用のnMOSトランジスタ79, 80が接続されている。nMOSトランジスタ79はそのゲートにHレベルの制御信号BLS1が印加されるとオンし、ノードDLAの電位を低電位電源Vssに設定する。nMOSトランジスタ80はそのゲートにHレベルの制御信号BLS2が印加されるとオンし、ノードバーDLAの電位を低電位電源Vssに設定する。

【0067】図7は半導体記憶装置70のメモリアルレイ72側の構成を示し、これはメモリアルレイ71側の構成と同様である。図7において、ビット線対、ノード対、ワード線、ダミーワード線及びリファレンスセルは図6におけるビット線対、ノード対、ワード線、ダミーワード線及びリファレンスセルの符号の末尾を「B」として示している。

【0068】そして、ノードDLA, DLBの端部間に前記接続用トランジスタ54が設けられ、ノードバーDLA, バーDLBの端部間に前記接続用トランジスタ55が設けられている。接続用トランジスタ54はそのゲートにHレベルの接続信号EQTが印加されるとオンし、ノードDLA, バーDLBを接続する。接続用トランジスタ55はそのゲートにHレベルの接続信号EQBが印加されるとオンし、ノードバーDLA, バーDLBを接続する。

【0069】次に上記のように構成された半導体記憶装置70の作用を主に図8に従って説明する。なお、説明の便宜上、メモリアルレイ71, 72におけるビット線BL1A, BL1Bに接続されたメモリアル11のデータを読み出す場合について説明する。なお、リファレンスセルDC1A, DC1Bの両強誘電体キャパシタ62は、あらかじめ互いに逆方向に分極しており、リファレンスセルDC2A, DC2Bの両強誘電体キャパシタ62も、あらかじめ互いに逆方向に分極しているものとする。最初は、接続信号BLCをHレベルにして接続用トランジスタ74, 75をオンすることによってビット線BL1AとノードDLAとを接続するとともに、ビット線バーBL1AとノードバーDLAとを接続しておく。そして、イコライズ信号BLEをHレベルにするこ

とによりイコライズ17を動作させてビット線BL1A、バーBL1A、BL1B、バーBL1B、ノードDLA、バーDLA、DLB、バーDLBを基準電圧VP(=Vcc/2)にイコライズする。また、メモリセル11及びリファレンスセルDC1A、DC2Aの強誘電体キャパシタのキャパシタ・ノードのフローティング状態を避けるために、電荷転送用トランジスタ12、61が弱くオンされている。

【0070】次に、接続信号EQBをHレベルにして接続用トランジスタ55をオンすることによってビット線バーBL1A、バーBL1BをノードバーDLA、バーDLBを介して接続する。その後、イコライズ信号BLEをLレベルにしてビット線BL1AとバーBL1A、ビット線BL1BとバーBL1Bとを切り離すとともに、弱くオンされていた電荷転送用トランジスタ12、61を完全にオフするように、ダミーワード線DWL1A、DWL1B及びすべてのワード線をLレベルにする。

【0071】次に、制御信号BLS1、BLS2を共にHレベルにすることによりnMOSトランジスタ79、80をオンさせてすべてのビット線BL1A、バーBL1A、BL1B、バーBL1Bの電位をLレベル(Vss)にした後、制御信号BLS1、BLS2を共にLレベルにしてビット線BL1AとバーBL1A、ビット線BL1BとバーBL1Bとを切り離す。

【0072】そして、データを読み出したいメモリセル11に対応するワード線WLkA、WLkB(k=1, 2, ..., n)をHレベルにしてメモリセルデータをビット線BL1A、BL1Bに転送するとともに、ダミーワード線DWL1A、DWL1BをHレベルにすることにより電荷転送用トランジスタ61をオンさせてリファレンスセルDC1A、DC1Bから電荷をビット線バーBL1A、バーBL1Bに転送してリファレンス電位を与える。

【0073】従って、ビット線BL1A、BL1Bの電荷転送後の初期電位は電位VHもしくはVLのどちらかのレベルになる。その後、接続信号EQBをLレベルにして接続用トランジスタ55をオフさせてビット線バーBL1A、バーBL1Bを切り離してから、活性化信号φR、バーφSをそれぞれHレベル、Lレベルにすることによりセンスアンプ57を動作させて初期電位差ΔV(=VH - VR = VR - VL)を増幅する。ビット線BL1A、BL1Bの初期電位がVHの場合は、ビット線BL1A、BL1Bの電位は高電位電源Vccになり、初期電位がVLの場合はビット線BL1A、BL1Bの電位は低電位電源Vssになる。

【0074】このようにして、ビット線BL1A、バーBL1A、BL1B、バーBL1Bに十分に電位が現れた後、接続信号BLCをLレベルにして接続用トランジスタ74、75をオフすることによってビット線BL1

AとノードDLAとを切り離すとともに、ビット線バーBL1AとノードバーDLAとを切り離す。

【0075】この後、コラム選択信号CSLをHレベルとしてゲートトランジスタ15、16をオンさせ、図示しない入出力線対にデータを転送する。また、ビット線BL1AとノードDLAとを切り離すとともに、ビット線バーBL1AとノードバーDLAとを切り離した直後において、制御信号BLS1をHレベルにすることによりnMOSトランジスタ79をオンさせてノードDLAの電位をLレベル(Vss)にするとともに、制御信号BLR1をLレベルにすることによりpMOSトランジスタ78をオンさせてノードバーDLAの電位をHレベル(Vcc)にする。すると、リファレンスセルDC1A、DC1Bの強誘電体キャパシタ63は必ず互いに逆方向に分極される。

【0076】リファレンスセルDC1A、DC1Bに逆データを転送した後、ダミーワード線DWL1A、DWL1BをLレベルにし、活性化信号φR、バーφSを元に戻してから、イコライズ信号BLEをHレベルにして全ビット線をVcc/2にイコライズする。

【0077】この後、接続信号BLCをHレベルにして接続用トランジスタ74、75をオンすることによってビット線BL1AとノードDLAとを接続するとともに、ビット線バーBL1AとノードバーDLAとを接続しておき、メモリセル11及びリファレンスセルDC1A、DC2Aの強誘電体キャパシタのキャパシタ・ノードのフローティング状態を避けるため、ダミーワード線DWL1A、DWL2Aを含むすべてのワード線を電荷転送トランジスタ12、61が弱くオンする程度の電位にする。

【0078】このように本実施形態の半導体記憶装置70は構成されているので、第1実施形態の半導体記憶装置50と同様の効果に加えて、ビット線BL1A、バーBL1Aに初期電位差が現れてある程度センスした後、接続信号BLCをLレベルにして接続用トランジスタ74、75をオフさせてノードDLA、バーDLAをビット線BL1A、バーBL1Aから切り離すことができる。このため、ビット線BL1A、バーBL1Aにはメモリセルに応じたデータを出力しつつ、ノードDLA、バーDLAには2つのリファレンスセルの強誘電体キャパシタ62が反対に分極するような電位を与えることが可能になる。その結果、この半導体記憶装置70はデータ読み出しのサイクルタイムを短縮化することが可能になる。

【0079】(第3実施形態)次に、本発明の第3実施形態を図9、10に従って説明する。なお、重複説明を避けるため、図1において説明したものと同一要素については、同じ参照番号が付されている。また、前述した第1実施形態の半導体記憶装置50との相違点を中心に説明する。

【0080】図9は本実施形態の半導体記憶装置85を示し、ビット線BL1A、BL1Bと接続用トランジスタ54との間にそれぞれ接続用トランジスタ86が接続されるとともに、ビット線バーBL1A、バーBL1Bと接続用トランジスタ55との間にそれぞれ接続用トランジスタ87が接続されている。接続用トランジスタ86、87はLレベルの接続信号EQCが印加されるとオフし、ビット線BL1A、BL1Bを接続用トランジスタ54のオンオフに関係なく切り離すようになっている。

【0081】図10は上記のように構成された半導体記憶装置85の作用を示すタイムチャートである。まず、接続信号EQBをHレベルにして接続用トランジスタ55をオンさせるとともに、接続信号EQCをHレベルにしてすべての接続用トランジスタ86、87をオンさせることによってビット線バーBL1A、バーBL1Bを接続する。そして、ビット線BL1AとバーBL1A、ビット線BL1BとバーBL1Bのイコライズ及びブリチャージの終了後、ワード線WLkA、WLkB(k=1, 2, ..., n)をHレベルにしてメモリセルデータをビット線BL1A、BL1Bに転送するとともに、ダミーワード線DWL1A、DWL1BをHレベルにすることにより電荷転送用トランジスタ61をオンさせてリファレンスセルDC1A、DC1Bから電荷をビット線バーBL1A、バーBL1Bに転送してリファレンス電位を与える。

【0082】この後、接続信号EQCをLレベルにしてすべての接続用トランジスタ86、87をオフさせることによってビット線バーBL1A、バーBL1Bを切り離し、続いて接続信号EQBをLレベルにして接続用トランジスタ55をオフさせる。

【0083】次に、活性化信号φR、バーφSに基づいてセンスアンプ57を動作させて初期電位差ビット線対BL1A、バーBL1Aの初期電位差を増幅させ、コラム選択信号CSLをHレベルとしてゲートトランジスタ15、16をオンさせ、図示しない入出力線対にデータを転送する。

【0084】このように本実施形態の半導体記憶装置85は構成されているので、第1実施形態の半導体記憶装置50と同様の効果がある。また、本実施形態においては、接続用トランジスタ54、55の両側に各一对の接続用トランジスタ86、87を設けている。第1実施形態の半導体記憶装置50では、接続用トランジスタ55によって互いに接続した2つのビット線バーBL1A、バーBL1BにリファレンスセルDC1A、DC1Bから電荷を与えてリファレンス電位を設定した後、接続信号EQBをLレベルにして接続用トランジスタ54、55をオフさせて2つのビット線バーBL1A、バーBL1Bを切り離すようにしている。このとき、接続信号EQBのHレベルからLレベルへの切り替わりに基づいて

接続用トランジスタ55がオフする際、接続用トランジスタ54のカップリング容量分だけビット線バーBL1A、バーBL1Bのリファレンス電位が立ち下がる方向に変化する。そのため、ビット線対BL1A、バーBL1A及びビット線対BL1B、バーBL1Bにおける初期電位差の悪化につながる。本実施形態では、2つのビット線BL1A、バーBL1Aにリファレンス電位を与えた後、接続用トランジスタ55をオフさせる以前にすべての接続用トランジスタ86、87をオフさせてビット線バーBL1A、バーBL1Bを切り離すようにしている。そのため、接続用トランジスタ87がオフする際、そのカップリング容量分だけビット線バーBL1A、バーBL1Bのリファレンス電位が立ち下がるが、接続用トランジスタ86がオフする際に、ビット線BL1A、BL1Bの電位も接続用トランジスタ86のカップリング容量分だけ同様に立ち下がる。従って、ビット線対BL1A、バーBL1A及びビット線対BL1B、バーBL1Bにおける初期電位差を変化させずに済み、メモリセル51、52のデータをより正確に読み出すことができる。

【0085】(第4実施形態)次に、本発明の第4実施形態を図11に従って説明する。なお、重複説明を避けるため、図1において説明したものと同一要素については、同じ参照番号が付されている。また、前述した第1実施形態の半導体記憶装置50との相違点を中心に説明する。

【0086】本実施形態の半導体記憶装置90は2つのメモリセルアレイ91、92を備えている。メモリセルアレイ91、92は複数対のビット線対を備えている。図11において、メモリセルアレイ91には3対のビット線対BL1A、バーBL1A、BL2A、バーBL2A、BL3A、バーBL3Aが図示され、メモリセルアレイ92にも3対のビット線対BL1B、バーBL1B、BL2B、バーBL2B、BL3B、バーBL3Bが図示されている。すべてのビット線は等しい配線長に形成されており、各ビット線の配線容量は等しい。

【0087】各メモリセルアレイ91、92は図1の各メモリセルアレイ51、52と同様の複数のワード線を備えるとともに、2つのダミーワード線を備えている。すべてのビット線と複数のワード線の間には前記メモリセル11(図2参照)と同様のメモリセルが接続され、すべてのビット線と2つのダミーワード線の間には前記ダミーセルDC1A、DC1B、DC2A、DC2Bと同様のダミーセルが接続されている。

【0088】また、すべてのビット線対間には前記イコライザ17、21が設けられている。すべてのビット線対にはそれぞれセンスアンプ57が接続されるとともに、一对のゲートトランジスタ15、16を介して図示しない入出力線対に接続されている。各対のゲートトランジスタ15、16はゲートにHレベルのコラム選択信

号CSL(CSL1, CSL2, CSL3等)が印加されるとオンし、各センスアンプ57によって増幅されたデータが入出力線対に転送される。

【0089】対応するビット線対において、非反転側ビット線の端部間には接続用トランジスタ54が設けられ、反転側ビット線の端部間には接続用トランジスタ55が設けられている。また、互いに隣接するビット線対間において、非反転側ビット線の端部間には接続用トランジスタ93が設けられ、反転側ビット線の端部間には接続用トランジスタ94が設けられている。接続用トランジスタ54、93はそれらのゲートにHレベルの接続信号EQTが印加されるとオンし、協働して4本の非反転側ビット線を接続する。接続用トランジスタ55、94はそれらのゲートにHレベルの接続信号EQBが印加されるとオンし、協働して4本の反転側ビット線を接続する。

【0090】このように構成された半導体記憶装置90からのデータの読み出しは、第1実施形態の半導体記憶装置50におけるデータの読み出しと同様に行われる。このように本実施形態の半導体記憶装置90は構成されているので、第1実施形態の半導体記憶装置50と同様の効果がある。また、本実施形態においては、メモリセルアレイ91、92からのデータ読み出し時において、ビット線にリファレンス電位を与えるに際して、4本の非反転側ビット線又は4本の反転側ビット線を接続して、これら4本のビット線をイコライズしてリファレンス電位を得るように構成した。そのため、リファレンスセルの強誘電体キャパシタの容量ばらつきがあったとしても、4本のビット線にて強誘電体キャパシタの容量ばらつきに基づくリファレンス電位のばらつきを低減してほぼ所望のリファレンス電位を得ることができる。

【0091】(第5実施形態)次に、本発明の第5実施形態を図12~14に従って説明する。なお、重複説明を避けるため、図11において説明したものと同一要素については、同じ参照番号が付されている。また、前述した第1実施形態の半導体記憶装置50との相違点を中心に説明する。

【0092】図12に示すように、本実施形態の半導体記憶装置100は、2つのメモリセルアレイ101、102を備えている。メモリセルアレイ101、102は複数対のビット線対を備えている。メモリセルアレイ101には2対のビット線対BL1A、バーBL1A、BL2A、バーBL2Aが図示され、メモリセルアレイ102にも2対のビット線対BL1B、バーBL1B、BL2B、バーBL2Bが図示されている。メモリセルアレイ101、102は、各ビット線対が各センスアンプ57を中心として対称状に配置されたオープンビット線タイプであり、各ビット線対における非反転側ビット線同士が互いに平行に隣接し、同様に反転側ビット線同士が互いに平行に隣接している。メモリセルアレイ10

1、102におけるすべてのビット線は等しい配線長に形成されており、各ビット線の配線容量は等しくなっている。

【0093】図13はメモリセルアレイ101側の構成を示す。メモリセルアレイ101は複数のワード線WL1A~WL2mAを備えるとともに、2つのダミーワード線(図13では1つのダミーワード線DWL1Aのみを図示)を備えている。すべてのビット線と複数のワード線WL1A~WL2mAとの間には前記メモリセル11が接続され、すべてのビット線とダミーワード線DWL1Aとの間にはダミーセルDC1A、DC2A等が接続されている。

【0094】また、すべてのビット線対間には前記イコライザ17、21が設けられている。すべてのビット線対にはそれぞれセンスアンプ57が接続されるとともに、一対のゲートトランジスタ15、16を介して入出力線対IO、バーIOに接続されている。

【0095】図14はメモリセルアレイ102側の構成を示す。メモリセルアレイ102も複数のワード線WL1B~WL2mBを備えるとともに、2つのダミーワード線(図14では1つのダミーワード線DWL1Bのみを図示)を備えている。すべてのビット線と複数のワード線WL1B~WL2mBとの間には前記メモリセル11が接続され、すべてのビット線とダミーワード線DWL1Bとの間にはダミーセルDC1B、DC2B等が接続されている。

【0096】また、すべてのビット線対間には前記イコライザ17、21が設けられている。すべてのビット線対にはそれぞれセンスアンプ57が接続されるとともに、一対のゲートトランジスタ15、16を介して入出力線対IO、バーIOに接続されている。

【0097】図12に示すように、メモリセルアレイ101、102の対応する非反転側ビット線間には前記接続用トランジスタ54が設けられるとともに、互いに隣接する非反転側ビット線間には前記接続用トランジスタ93が設けられている。

【0098】このように構成された半導体記憶装置100からのデータの読み出しは、第4実施形態の半導体記憶装置90におけるデータの読み出しと同様に行われる。このように本実施形態の半導体記憶装置100は構成されているので、第1実施形態の半導体記憶装置50と同様の効果がある。また、本実施形態においては、メモリセルアレイ101、102からのデータ読み出し時において、ビット線にリファレンス電位を与えるに際して、1本のワード線につながっているセル数の2倍の本数のビット線を接続してイコライズすることができるため、リファレンスセルの強誘電体キャパシタの容量ばらつきに基づくリファレンス電位のばらつきをより低減することができる。所望のリファレンス電位を得ることができる。

【0099】（第6実施形態）次に、本発明の第6実施形態を図15に従って説明する。図15は、本発明における第5実施形態におけるロウデコーダを示す。

【0100】図1、図9、図11、図12等に示するような半導体記憶装置においては、メモリセルとリファレンスセルは同等の形状を有しているため、互いのセルの役割を交換することが可能になる。

【0101】図15はメモリセルアレイにおけるワード線を選択するロウデコーダ110を示す。ロウデコーダ110は第1デコーダ111及び第2デコーダ112と、通常のワード線とダミーワード線DWL11、DWL2とを切り換えるためのスイッチ回路113とを備える。図15は8ビットのロウアドレス信号A7～A0に基づいて256本のワード線WL1～WL256をデコードする例である。すなわち、第1デコーダ111はアドレス信号A7～A1に基づいて128通りのロウデコードを行い、第2デコーダ112はアドレス信号A0に基づいてさらに2通りのデコードを行う。

【0102】スイッチ回路113は第1デコーダ111と第2デコーダ112との間に設けられ、図示しないカウンタ回路から129個の選択信号SL1～SL129が入力されている。カウンタ回路は、例えばワード線にアクセスする回数が所定の値に達したときに選択信号SL1～SL129を出力するようになっている。スイッチ回路113は選択信号SL1～SL129に基づいて通常のワード線WL1～WL256とダミーワード線DWL1、DWL2とを切り換える。図15は、ワード線2本単位でダミーワード線DWL1、DWL2との入れ替えが可能で、この中では、ワード線WL<sub>m</sub>とWL<sub>m+1</sub>との間に2本のダミーワード線DWL1、DWL2が設置されているが、次に選択信号が来れば、スイッチが切り替えられて、例えば、ワード線WL<sub>m+1</sub>、WL<sub>m+2</sub>とダミーワード線DWL1、DWL2とが入れ換える。

【0103】このように本実施形態のロウデコーダ110は構成されているので、ワード線にアクセスする回数を数えるカウンタ回路で、適当な回数に達したときに選択信号を出力して通常のワード線とダミーワード線とを切り替えれば、毎回アクセスされるリファレンスセルにおける強誘電体キャパシタの劣化を遅らせることができる。

【0104】尚、実施の形態は上記に限定されるものではなく、次のように変更してもよい。

・上記各実施形態では、強誘電体キャパシタを有するメモリセル及び強誘電体キャパシタを有するリファレンスセルを備えた半導体記憶装置に具体化した但、通常のキャパシタを有するメモリセルまたは通常のキャパシタを有するリファレンスセルを備えた半導体記憶装置に具体化してもよい。

【0105】・上記各実施形態では、DRAMに類似した半導体記憶装置に具体化した但、リファレンスセルの

データによってリファレンス電位を発生する任意の半導体記憶装置に具体化することも可能である。

【0106】・1組のビット線対の2個のリファレンス用キャパシタは、セルプレートの電位VPを制御することによって、2個のリファレンス用キャパシタをそれぞれ異なる分極に設定するようにしてもよい。

【0107】・1組のビット線対の2個のリファレンス用キャパシタは、セルプレートの電位VPと2本のビット線の両方の電位を制御することによって、2個のリファレンス用キャパシタをそれぞれ異なる分極に設定するようにしてもよい。

【0108】以上、各実施形態について説明したが、各実施形態から把握できる請求項以外の技術的思想について、以下に記載する。

・前記2個のリファレンス用キャパシタは、ビット線対の電位変化を増幅した後、前記2個のリファレンスセルと電荷転送用トランジスタを介して接続されている2本のビット線の電位を制御することによって、前記2個のリファレンス用キャパシタをそれぞれ異なる分極に設定する請求項5に記載の半導体記憶装置。

【0109】・前記2個のリファレンス用キャパシタは、ビット線対の電位変化を増幅した後、電荷転送用トランジスタ側の電極に対向する対向電極であるセルプレートの電位を制御することによって、前記2個のリファレンス用キャパシタをそれぞれ異なる分極に設定する請求項5に記載の半導体記憶装置。

【0110】・前記2個のリファレンス用キャパシタは、ビット線対の電位変化を増幅した後、セルプレートと2本のビット線の両方の電位を制御することによって、前記2個のリファレンス用キャパシタをそれぞれ異なる分極に設定する請求項5に記載の半導体記憶装置。

【0111】

【発明の効果】以上詳述したように、請求項1～10のいずれか一項に記載の発明によれば、同一構成のビット線を対にできるため、ビット線対の初期電位差におけるセンス感度の悪化を防ぐことが可能になる。

【0112】請求項5又は6に記載の発明によれば、リファレンスセルの分極方向の入れ替えにより、記憶装置全体としての信頼性を向上させることができる。請求項7に記載の発明によれば、2個以上の複数個のリファレンスセルノードをトランジスタを介して接続することにより、リファレンスセル用キャパシタのばらつきによるリファレンス電位のばらつきを抑制することが可能になる。

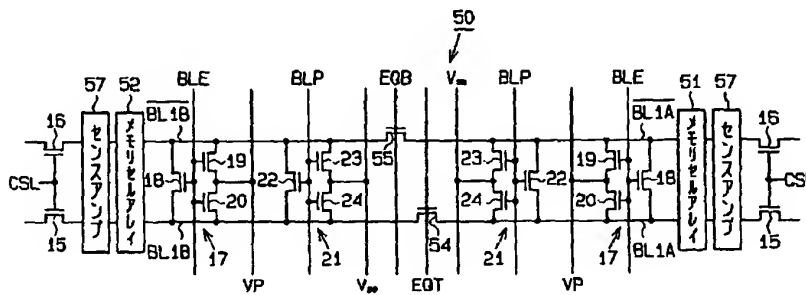
【0113】請求項8～10のいずれか一項に記載の発明によれば、リファレンスセルと通常のメモリセルとの役割交換により、リファレンスセルの劣化を抑制することができ、記憶装置全体としての信頼性を向上させることができる。

【図面の簡単な説明】

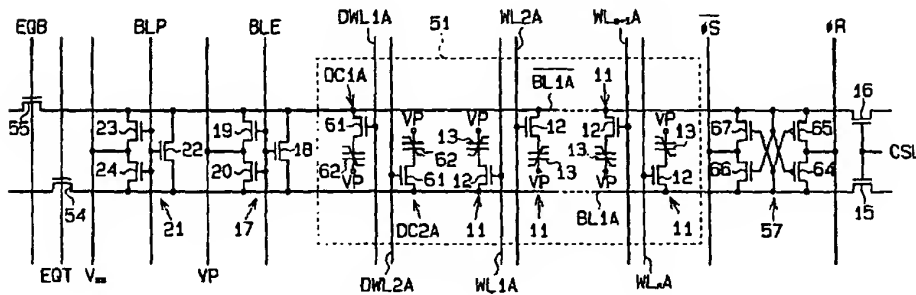
- 【図1】第1実施形態の半導体記憶装置を示す回路図  
 【図2】同じく半導体記憶装置の詳細を示す回路図  
 【図3】同じく半導体記憶装置の詳細を示す回路図  
 【図4】同じく半導体記憶装置の動作を示すタイミングチャート  
 【図5】第2実施形態の半導体記憶装置を示す回路図  
 【図6】同じく半導体記憶装置の詳細を示す回路図  
 【図7】同じく半導体記憶装置の詳細を示す回路図  
 【図8】同じく半導体記憶装置の動作を示すタイミングチャート  
 【図9】第3実施形態の半導体記憶装置を示す回路図  
 【図10】同じく半導体記憶装置の動作を示すタイミングチャート  
 【図11】第4実施形態の半導体記憶装置を示す回路図  
 【図12】第5実施形態の半導体記憶装置を示す回路図  
 【図13】同じく半導体記憶装置の詳細を示す回路図  
 【図14】同じく半導体記憶装置の詳細を示す回路図  
 【図15】第6実施形態におけるロウデコーダを示す回路図  
 【図16】従来例におけるセルデータセンス系の一例を示す回路図  
 【符号の説明】

- 11…メモリセル、  
 12…電荷転送用トランジスタ（メモリセル）  
 13…キャパシタとしての強誘電体キャパシタ（メモリセル）  
 54, 55, 74, 75, 86, 87…接続用トランジスタ  
 57…センスアンプ  
 61…電荷転送用トランジスタ（リファレンスセル）  
 62…キャパシタとしての強誘電体キャパシタ（リファレンスセル）  
 10  
 110…ロウデコーダ  
 111…第1デコーダ  
 112…第2デコーダ  
 113…スイッチ回路  
 BL1A, バーBL1A, BL1B, バーBL1B等…ビット線対  
 DC1A, DC1B, DC2A, DC2B…リファレンスセル  
 DWL1A, DWL1B, DWL2A, DWL2B…データワード線  
 WL1A, WL1B, WL2A, WL2B等…ワード線

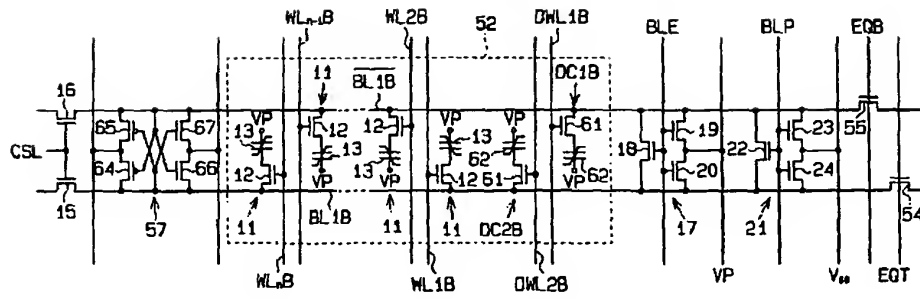
【図1】



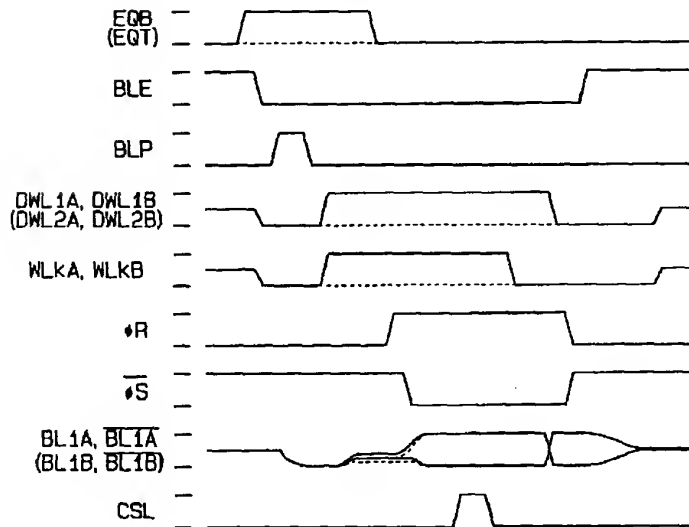
【図2】



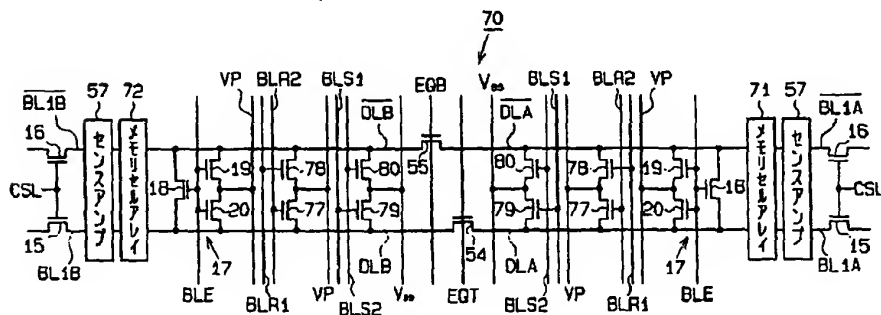
【図3】



【図4】

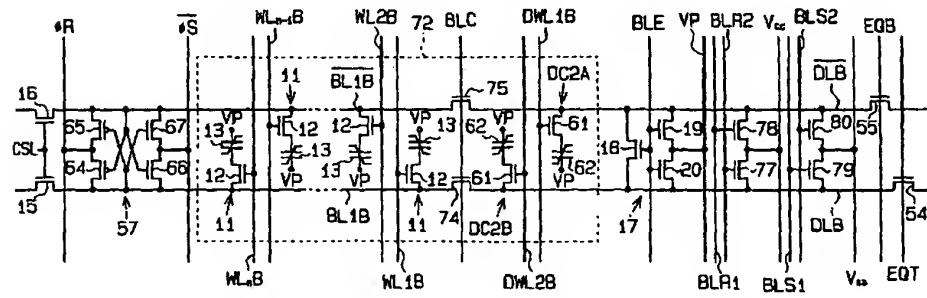


【図5】





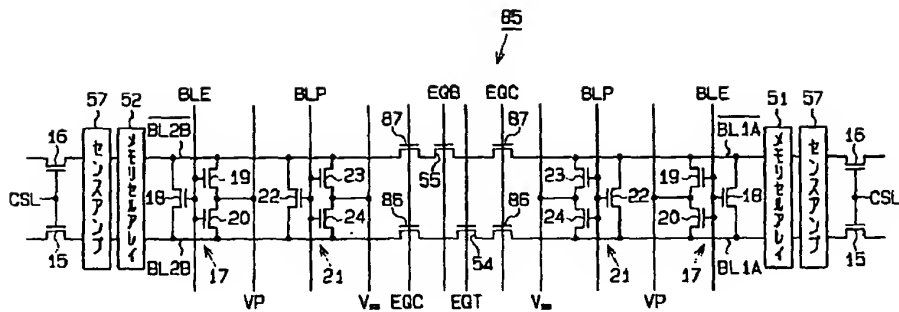
【图7】



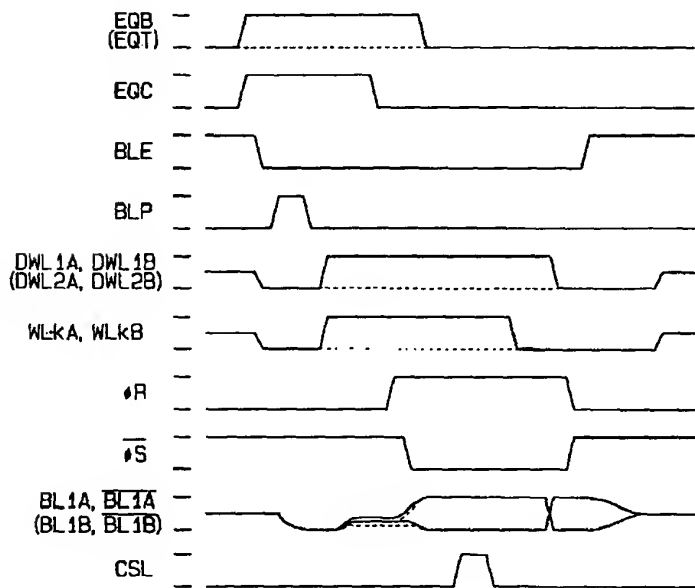
The timing diagram illustrates the relationship between various control and data signals of the 68000 microprocessor. The signals are as follows:

- EQB (EQT)**: External Q-bus enable, active low, pulse.
- BLE**: Bus lock enable, active low, pulse.
- BLC**: Bus lock control, active low, pulse.
- BLS1 (BLS2)**: Bus lock strobe 1, active low, pulse.
- BLR1 (BLR2)**: Bus lock strobe 2, active low, pulse.
- DWM1A, DWM1B (DWM2A, DWM2B)**: Data/Write/Mode 1 strobe, active low, pulse.
- WLKA, WLKB**: Word/Longword strobe, active low, pulse.
- R**: Read signal, active low, pulse.
- S**: Strobe signal, active low, pulse.
- BL1A, BL1A (BL1B, BL1B)**: Bus lock strobe 1, active low, pulse.
- DLA, DLA (DLB, DLB)**: Data/Longword strobe, active low, pulse.
- CSL**: Chip select, active low, pulse.

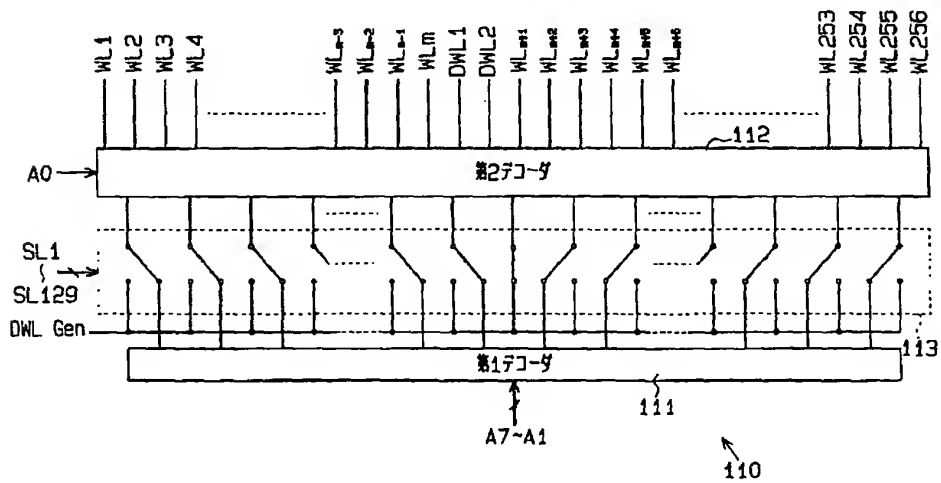
【图9】



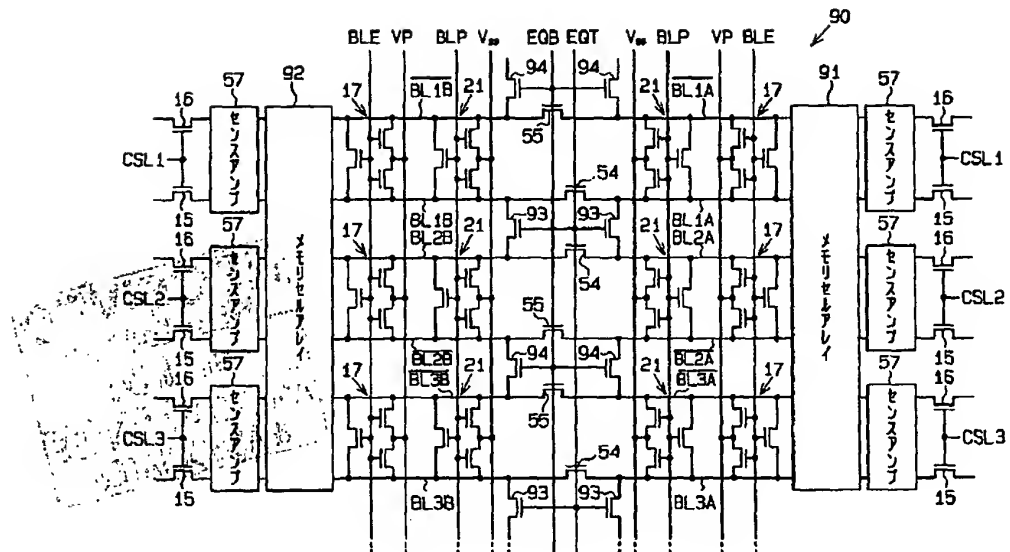
【図 10】



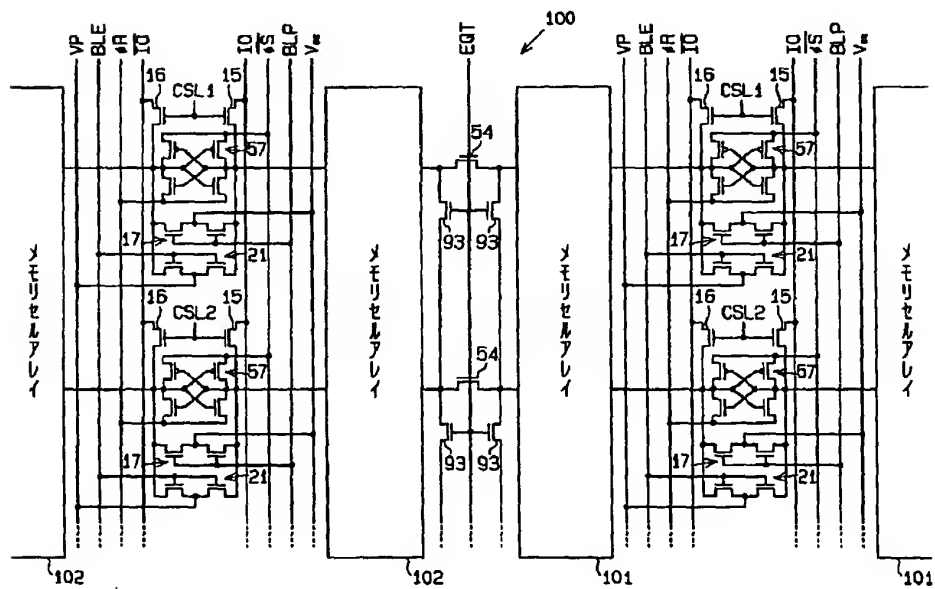
【图 15】



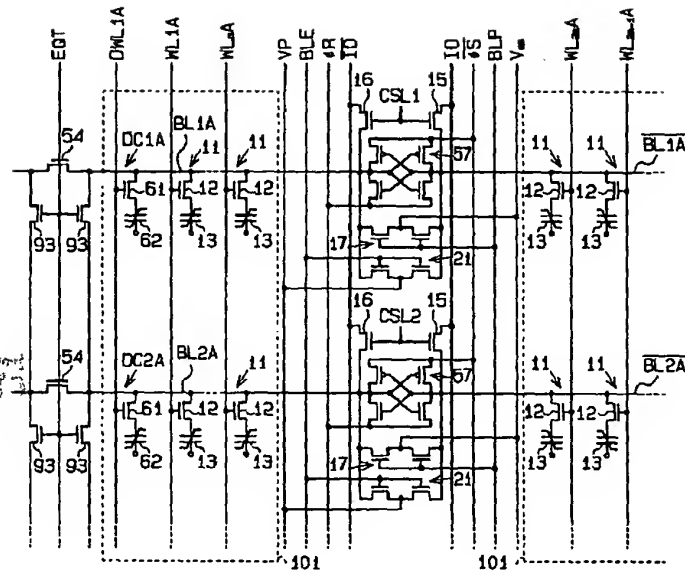
【図 11】



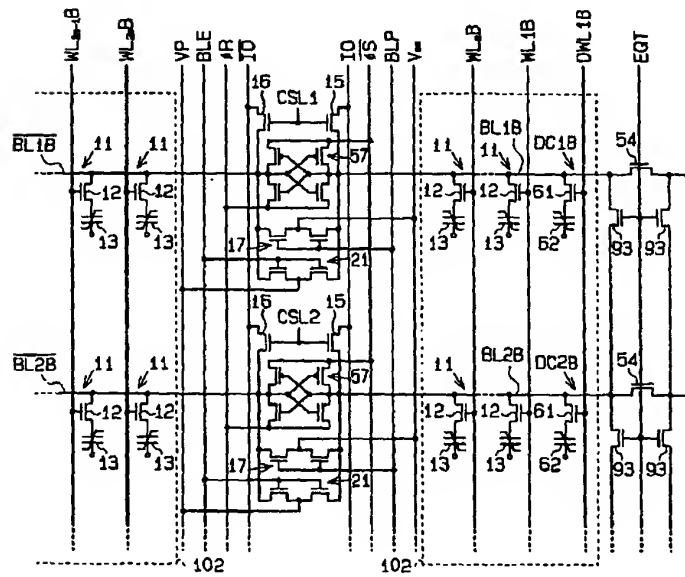
【図 12】



【図13】



【図14】



【図 1 6】

